

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-48122

(43)公開日 平成11年(1999)2月23日

(51)Int.Cl.*

B24B 37/00
H01L 21/304

識別記号

321

F I

B24B 37/00
H01L 21/304

A
321E

審査請求 未請求 請求項の数10 O.L (全 10 頁)

(21)出願番号 特願平9-208874

(22)出願日 平成9年(1997)8月4日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 木村 剛

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 伊藤 秀文

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 佐藤 清彦

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74)代理人 弁理士 筒井 大和

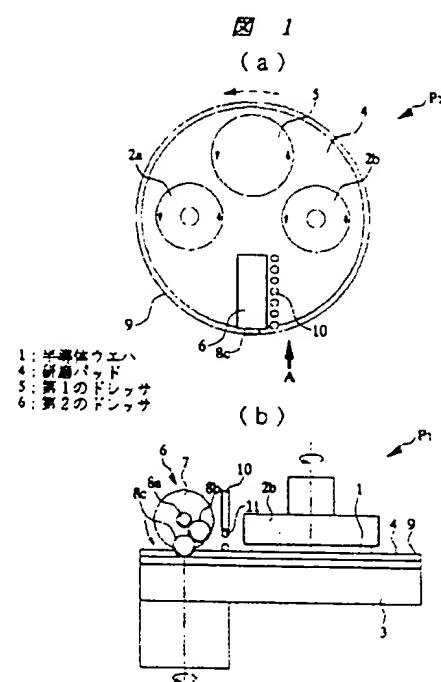
最終頁に続く

(54)【発明の名称】 化学的機械研磨装置およびこれを用いた半導体集積回路装置の製造方法

(57)【要約】

【課題】 CMP技術において、寿命の長い研磨パッドを得ると同時に、安定した研磨速度で半導体ウエハ上の被研磨膜の全面を均一に研磨する。

【解決手段】 ダイヤモンド粒子が埋め込まれた第1のドレッサ5で研磨パッド4の表面を切削して平坦度を出した後、半導体ウエハ1上の被研磨膜の表面を研磨すると同時に、供給ノズル10から研磨砥粒溶液11を供給しながら円筒状のブラシ7によって構成される第2のドレッサ6で研磨パッド4の表面の芝めを立たせて、元の荒い芝めを復元する。



【特許請求の範囲】

【請求項1】 研磨定盤上に貼り付けられた研磨パッドに半導体ウニハを押し付けて前記半導体ウニハ上に設けられた各種膜の表面を研磨する化学的機械研磨装置であつて、前記研磨パッドの表面を整形するドレッサが、少なくとも2種類設けられていることを特徴とする化学的機械研磨装置。

【請求項2】 請求項1記載の化学的機械研磨装置において、前記研磨パッドの表面を整形するドレッサとして、少なくとも前記研磨パッドの表面を平坦化する第1のドレッサと、前記研磨パッドの表面の荒さを復元させる第2のドレッサとが設けられていることを特徴とする化学的機械研磨装置。

【請求項3】 請求項2記載の化学的機械研磨装置において、前記第1のドレッサはダイヤモンド粒子が埋め込まれたドレッサであり、前記第2のドレッサはポリマ繊維からなるブラシによって構成されたドレッサであることを特徴とする化学的機械研磨装置。

【請求項4】 請求項3記載の化学的機械研磨装置において、前記半導体ウニハ上に設けられた各種膜の表面を研磨すると同時に、前記研磨パッドの表面に研磨砥粒溶液を供給しながら、前記第2のドレッサを前記研磨パッドの表面に押さえ付けて断続的または連続的に摆動させることを特徴とした化学的機械研磨装置。

【請求項5】 請求項4記載の化学的機械研磨装置において、前記第2のドレッサの前記研磨パッドに対する摆動方向が、少なくとも前記半導体ウニハの摆動方向とはほぼ逆方向の成分を有していることを特徴とする化学的機械研磨装置。

【請求項6】 請求項4記載の化学的機械研磨装置において、前記研磨砥粒溶液の供給口が前記第2のドレッサに内蔵されていることを特徴とする化学的機械研磨装置。

【請求項7】 請求項2～6のいずれか1項に記載の化学的機械研磨装置において、前記第2のドレッサが前記研磨パッドの研磨面に対して平行な回転軸を有する円筒状のドレッサであることを特徴とする化学的機械研磨装置。

【請求項8】 請求項7記載の化学的機械研磨装置において、前記第2のドレッサが強制的に回転されることを特徴とする化学的研磨装置。

【請求項9】 請求項7項に記載の化学的機械研磨装置において、前記第2のドレッサの円周速度は、前記研磨パッドが貼り付けられた研磨定盤の最外周部の円周速度よりも速いことを特徴とする化学的機械研磨装置。

【請求項10】 請求項1～9のいずれか1項に記載の化学的機械研磨装置を用いた半導体集積回路装置の製造方法であつて、前記第1のドレッサおよび前記第2のドレッサで整形される前記研磨パッドによって、半導体ウニハ上に設けられた各種膜の表面を平坦に加工する

工程を有することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に關し、特に、半導体ウニハ上に堆積された絶縁膜または金属膜の表面の凹凸を化学的機械研磨(Chemical Mechanical Polishing: CMP)装置を用いて平坦に加工する技術に関するものである。

【0002】

【従来の技術】従来のCMP装置P2の要部断面の模式図を図5に示す。図において、5.1は半導体ウニハ、5.2は剛性板、5.3は低剛性の合成樹脂から成る加圧用パッド、5.4は剛性板5.2にその厚み方向に複数個設けられた通気孔、5.5は剛性板5.2に設けられた通気孔5.4と一致する如く加圧用パッド5.3に配列された通気孔、5.6は加圧ヘッド、5.7は研磨パッド、5.8は研磨パッドが貼り付けられた研磨定盤、5.9は半導体ウニハ5.1が研磨中に加圧ヘッド5.6から外れないように設けられたストッパーである。

【0003】半導体ウニハ5.1は、剛性板5.2および加圧用パッド5.3にそれぞれ設けられた通気孔5.4、5.5からの真空吸引により加圧ヘッド5.6に装着された後、研磨パッド5.7上に押し付けられる。研磨時の圧力は加圧ヘッド5.6、剛性板5.2、加圧用パッド5.3を介して半導体ウニハ5.1に加えられる。半導体ウニハ5.1は加圧ヘッド5.6と共に回転し、同じく回転する研磨定盤5.8に貼り付けられた研磨パッド5.7に押さえつけながら研磨される。

【0004】次に、前記CMP装置P2を用い、半導体ウニハ上に堆積された絶縁膜または金属膜の表面の凹凸を平坦化する製造工程の一例を図6(a)～(f)を用いて説明する。

【0005】これらの図において、6.0は半導体基板、6.1は第1層目の配線、6.2は層間絶縁膜、6.3は層間絶縁膜6.2に開孔されたスルーホール、6.4は金属膜、6.5は第2層目の配線である。

【0006】まず、半導体基板6.0上に、例えばトランジスタ等の半導体素子、電荷蓄積用電極素子または抵抗素子(いずれも図示せず)などを形成した後、これらを互いに電気的に接続する第1層目の配線6.1を形成する(工程(a))。この際、半導体基板6.0の表面には第1層目の配線6.1の厚み分の凸部が生ずる。

【0007】次に、CVD(Chemical Vapor Deposition)法を用いて酸化シリコン膜または窒化シリコン膜などによって構成される層間絶縁膜6.2を半導体基板6.0上に堆積させて、上記第1層目の配線6.1を層間絶縁膜6.2で覆う(工程(b))。この際、ほぼ前記第1層目の配線6.1の厚み分の段差が層間絶縁膜6.2の表面に残留する。次いで、前記CMP装置P2を用いて、層間絶

絶縁膜6-2の表面を研磨して平坦に加工する（工程（c））。

【0008】次に、第1層目の配線6-1に達するスルーホール6-3を層間絶縁膜6-2に設けた後、CVD法またはスパッタリング法などによって半導体基板6-0上に金属膜6-4を堆積し（工程（d））、次いで、前記CMP装置P2を用いて層間絶縁膜6-2の表面に積層された金属膜6-4を研磨除去する。これによって、スルーホール6-3に金属膜6-4を埋め込む（工程（e））。

【0009】次に、半導体基板6-0上に金属膜（図示せず）を堆積した後、この金属膜をバターニングすることによって第2層目の配線6-5を形成する（工程（f））。第1層目の配線6-1と第2層目の配線6-5とはスルーホール6-3に埋め込まれた金属膜6-4を介して電気的に接続される。また、上記工程（a）～（f）を同様に繰り返すことにより所望の多層配線を有する半導体集積回路装置を形成することができる。

【0010】ところで、上記工程（c）での層間絶縁膜6-2の表面の平坦化および上記工程（e）での金属膜6-4の表面の平坦化で要求される研磨技術の基本的性能としては、被研磨膜の凹凸の平坦度、研磨量の均一性、スループットおよび研磨速度の安定性が挙げられる。これらのうち、被研磨膜の凹凸の平坦度は使用する研磨パッドの機械的材料、研磨量の均一性はウエハ加圧方式によってほぼ決定されるのに対し、スループットおよび研磨速度の安定性は、研磨砥粒の材質、加圧力または摺動速度などの研磨条件に加えて、研磨パッドの表面状態に強く依存する。

【0011】特に、本発明者の実験により、研磨速度の安定性は研磨パッドの表面の荒さの変化と強い相関関係があることが明らかとなった。図7は、本発明者の実験結果の一例であり、半導体ウエハ上の被研磨膜の研磨速度の変化および研磨パッドの表面の荒さの変化を示すグラフ図である。

【0012】図に示すように、半導体ウエハの処理枚数が増加するに従い、研磨速度は初期に急激に低下し、その後、なだらかに低下した後、ほぼ一定の速度に安定する。また、研磨速度の変化と同様に、研磨パッドの表面の荒さも半導体ウエハの処理枚数が増加するに従い減少した後、ほぼ一定の荒さに落ち着く。

【0013】この現象は、研磨パッドの表面の荒さが減少すると研磨砥粒液の保持力が低下して研磨パッドの表面に供給された研磨砥粒液が半導体ウエハの摺動により半導体ウエハの外周端で掻き出されてしまい、半導体ウエハ上の研磨面と研磨パッド面との間に存在する研磨砥粒の量が減少して、研磨速度が低下するものと考えられる。なお、研磨パッドの表面の荒さが減少する理由は、研磨パッドの表面の芝め構造が、研磨中に繰り返し受けた半導体ウエハの研磨圧力によって倒れてしまうためである。

【0014】そこで、研磨中における研磨パッドの表面状態の経時変化を防ぎ、半導体ウエハの表面の研磨速度を一定に保つために、半導体ウエハ上の被研磨膜を研磨する加圧ヘッドとは別に、ダイヤモンド粒子を埋め込んだ円盤（以下、ドレッサと称す）を研磨作業後または研磨作業中に研磨パッド上に摺動させて、研磨パッドの表面を整形するドレッシングが研磨パッドに施されている。

【0015】図8および図9に従来の研磨パッドのドレッシング方法の概略図を示す。図8に示すドレッシング方法は、大型のドレッサ6-6に回転と振動を加えながら研磨パッド5-7の表面を整形する方法であり、図9に示すドレッシング方法は、アーム機構6-7を用いて小型のドレッサ6-8を研磨パッド5-7の全面に可変速で摺動させて、研磨パッド5-7の表面を整形する方法である。これらのドレッシング方法には、半導体ウエハ上の被研磨膜の研磨と研磨パッドの表面のドレッシングとを同時に行う同時ドレッシング、または半導体ウエハ上の被研磨膜の研磨前後の半導体ウエハを搬送する空き時間に研磨パッドの表面のドレッシングを行う間欠ドレッシングがある。

【0016】なお、CMP装置のドレッシング方法については、例えばソリッド・ステート・テクノロジ（Solid State Technology, 日本版, Dec. 1994, Iqbal Ali et al., “層間絶縁膜の化学的機械研磨に関する概観”）などに記載されている。

【0017】

【発明が解決しようとする課題】しかしながら、前記ドレッシング方法には、以下の問題点があることを本発明者は見いだした。

【0018】すなわち、まず、同時ドレッシングでは、研磨パッドの表面が常にドレッシングされるので安定な研磨速度が得られるが、研磨パッドの表面が常にドレッサによって削り取られるため研磨パッドの寿命が著しく低下する。また、間欠ドレッシングでは、研磨パッドの寿命は長いが、半導体ウエハ上の被研磨膜の研磨中に研磨速度が低下して安定な研磨速度が得られず、さらに、ドレッシングに要する時間が単独で必要なためCMP装置のスループットが低下する。

【0019】これらの問題を解決する方法の一つとして、研磨パッドに対するドレッサの押圧力を低下させる方法がある。この方法を採用すれば、研磨速度をある程度安定化させ、研磨パッドの寿命を長くすることができる。

【0020】しかし、ドレッシングには、研磨パッドの表面の荒さを一定に保ち研磨速度を安定化させる目的の他に、研磨パッドの全面をドレッシングでの切削によって整形し、研磨パッドの表面の平坦度を得ることにより半導体ウエハ上の被研磨膜の全面の均一性を確保する目的があり、研磨パッドに対するドレッサの押圧力を低下

させると研磨パッドの表面の平坦度を確保することが難しく、半導体ウエハ上の被研磨膜の全面を均一に研磨することができない問題がある。

【0021】本発明の目的は、CMP技術において、寿命の長い研磨パッドを得ると同時に、安定した研磨速度で半導体ウエハ上の被研磨膜の全面を均一に研磨することができる技術を提供することにある。

【0022】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0023】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0024】すなわち、本発明のCMP装置は、研磨定盤上に貼り付けられた研磨パッドの表面を整形するドレッサとして、少なくとも、ダイヤモンド粒子が埋め込まれ、研磨パッドの表面を平坦化する第1のドレッサと、ボリマ纖維からなるブラシによって構成され、研磨パッドの表面の荒さを復元させる第2のドレッサとを有しており、上記第1のドレッサにより研磨パッドの表面を切削した後、第1のドレッサを後退させ、次いで、加圧ヘッドに装着された半導体ウエハを研磨パッドの表面に押さえ付けて半導体ウエハ上の被研磨膜の表面を研磨すると同時に、研磨パッドの表面に研磨砥粒溶液を供給しながら上記第2のドレッサを断続的または連続的に研磨パッドの表面に押さえ付けて、研磨パッドの表面の芯めを立たせる方向に摺動させるものである。

【0025】上記した手段によれば、第2のドンッサによるドレッシングによって、研磨パッドの表面を切削することなく、半導体ウエハ上の被研磨膜の表面を研磨することによって倒れた研磨パッドの表面の芯めを立たせて、比較的容易に元の荒い芯めに復元できるので、研磨パッドの寿命を大幅に長くできると同時に、半導体ウエハ上の被研磨膜の研磨速度を安定化することができる。さらに、研磨パッドに対する第1のドレッサの押圧力を低下させる必要がないので、研磨パッドの表面の平坦度が確保できて、半導体ウエハ上の被研磨膜の全面を均一に研磨することができる。

【0026】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0027】なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0028】本発明の一実施の形態であるCMP装置P1が有する研磨パッドのドレッシング方法を図1に示す模式図を用いて説明する。図1(a)は、CMP装置P1の上面図であり、図1(b)は、図1(a)中に記載のA方向から見たCMP装置P1の側面図である。1は

半導体ウエハ、2a、2bは加圧ヘッド、3は研磨定盤、4は研磨パッド、5は第1のドレッサ、6は第2のドレッサ、7はブラシ、8a、8b、8cは歯車、9はギア、10は供給ノズル、11は研磨砥粒溶液である。

【0029】被研磨材料である半導体ウエハ1は、加圧ヘッド2a、2bに装着され、回転する研磨定盤3上に張り付けられた研磨パッド4の表面に加圧ヘッド2a、2bを介して押さえ付けられて、その表面は研磨される。なお、研磨時の加圧ヘッド2a、2bおよび研磨定盤3の回転数は、例えば共に30回/分であり、半導体ウエハ1および研磨定盤3の直径は、例えばそれぞれ8インチおよび600mmである。半導体ウエハ1は、例えば300g/cm²の圧力で研磨パッド4の表面に押さえ付けられている。

【0030】研磨パッド4の表面は、第1のドレッサ5および第2のドレッサ6を用いてドレッシングされる。第1のドレッサ5にはダイヤモンド粒子が埋め込まれており、第1のドレッサ5は研磨パッド4の表面を切削して平坦度を出すために用いられる。第2のドレッサ6は研磨パッドの研磨面に対して平行な回転軸を有する円筒状のブラシ7と歯車8a、8b、8cによって構成されており、研磨パッド4の表面の芯めを立たせて元の荒い芯めを復元するために用いられる。

【0031】第2のドレッサ6の歯車8cを研磨定盤3の外周端面に形成したギア9と噛み合わせて研磨定盤3を回転させることにより、歯車8bを介して歯車8aと一緒にブラシ7を強制的に回転駆動させる。この際、第2のドレッサ6の研磨パッド4に対する摺動方向は、半導体ウエハ1の摺動方向とほぼ逆方向の成分を有している。また、ブラシ7の円周速度は研磨定盤3の最外周部の円周速度より約1.5倍速くなるように、歯車8cのギア比とブラシ7の径は選ばれる。ブラシ7には、例えば線径100μm、長さ5mmのナイロンブラシを使用した。

【0032】まず、第1のドレッサ5を用いて研磨パッド4の表面を切削した後、第1のドレッサ5を後退させ、次いで、半導体ウエハ1上の被研磨膜の表面を研磨すると同時に、第2のドレッサ6を断続的または連続的に研磨パッド4上で摺動させて、研磨パッド4の表面を整形する。この際、第2のドレッサ6の近傍に設置した供給ノズル10から研磨砥粒溶液11が約200ml/分の速度で研磨パッド4上に供給される。研磨砥粒溶液11の供給口は第2のドレッサ6に内蔵してもよい。

【0033】図2に、本実施の形態である前記CMP装置P1を用いて、半導体ウエハ上にプラズマCVD法で堆積された酸化シリコン膜の表面を研磨した際の酸化シリコン膜の研磨速度と半導体ウエハの研磨枚数との関係を示す。図において、四角印は前記本実施の形態のドレッシング、白丸印は従来の同時ドレッシング、黒丸印は従来の間欠ドレッシングを採用した際のそれぞれの酸化

シリコン膜の研磨速度を示す。

【0034】いずれの場合も一つの研磨定盤に対して2つの加圧ヘッドを有し、2枚の半導体ウエハを同時に研磨した結果であり、図中には2枚の半導体ウエハで得られたそれぞれの酸化シリコン膜の研磨速度の平均値を1点で示してある。半導体ウエハ上の酸化シリコン膜の研磨時間は5分である。

【0035】本実施の形態のドレッシングでは、半導体ウエハ1上の酸化シリコン膜の研磨前の第1のドレッサ5によるドレッシング時間は3分であり、半導体ウエハ1上の酸化シリコン膜の研磨中は第2のドレッサ6でドレッシングを行っている。研磨パッドには厚さが1.2mmの発泡ポリウレタン性のIC1000(米国コデール社)を用いた。なお、従来の間欠ドレッシングのドレッシング時間は2分である。

【0036】図から明らかなように、従来の間欠ドレッシングの研磨速度は他のドレッシングの研磨速度と比べて約10%近く、また、±5%以上の研磨速度の変動がある。しかし、本実施の形態のドレッシングでは半導体ウエハの研磨枚数が25枚まで従来の同時ドレッシングとほぼ同じ研磨速度が得られ、また、±2%以下の研磨量の均一性(図示せず)が得られる。

【0037】図3に、本実施の形態である前記CMP装置P1を用いて、半導体ウエハ1上に堆積された酸化シリコン膜を研磨した際の研磨パッドの厚さと半導体ウエハの研磨枚数との関係を示す。図において、四角印は前記本実施の形態のドレッシング、白丸印は従来の同時ドレッシング、黒丸印は従来の間欠ドレッシングを採用した際のそれぞれの研磨パッドの厚さを示す。

【0038】なお、本発明者の実験から、研磨パッドをその厚さが初期の厚さ(例えば1.2mm)の約半分になるまで研磨すると、半導体ウエハ上の被研磨膜の研磨速度の安定性または半導体ウエハ上の被研磨膜の研磨量均一性に顕著な劣化が認められることが明らかになっており、このことから、研磨パッドの厚さが半分となった時点を研磨パッドの寿命と称す。

【0039】図に示すように、従来の同時ドレッシングでは約100枚の半導体ウエハを研磨するだけで研磨パッドは寿命に達し、従来の間欠ドレッシングでも約250枚の半導体ウエハを研磨すると研磨パッドは寿命に達する。これに対し、本実施の形態のドレッシングでは、約4000枚の半導体ウエハを研磨すると研磨パッドが寿命に達する。

【0040】次に、本実施の形態の前記CMP装置P1を用いたDRAM(Dynamic Random Access Memory)の多層配線の製造方法を図4を用いて説明する。なお、DRAMの周辺回路部はnチャネル型MISFET(Metal Insulator Semiconductor Field Effect Transistor)QSの製造方法のみを記載する。

【0041】まず、p型シリコン単結晶からなる半導

体基板12の主面上に周知の方法でp型ウエル13、フィールド絶縁膜14およびゲート絶縁膜15を順次形成する。

【0042】次に、図示はしないが、半導体基板12上に堆積された窒化シリコン膜、タンクステンシリサイド(WSiX)膜および多結晶シリコン膜からなる積層膜を順次エッチングすることにより、WSiX膜および多結晶シリコン膜からなるメモリセルのメモリセル選択用MISFETのゲート電極16および周辺回路部のnチャネル型MISFETQSのゲート電極16を形成する。

【0043】なお、上記ゲート電極16を構成するメタルシリサイド膜にWSiX膜を用いたが、その他のメタルシリサイド膜、例えばモリブデンシリサイド(MoSiX)膜、チタンシリサイド(TiSiX)膜、タンタルシリサイド(TaSiX)膜などを用いてもよい。

【0044】次に、レジストバーチャルならびに上記窒化シリコン膜、WSiX膜および多結晶シリコン膜からなる積層膜をマスクにして、周辺回路部のp型ウエル13にn型不純物、例えばリン(P)をイオン注入し、nチャネル型MISFETQSのn型半導体領域(ソース領域、ドレイン領域)17を、ゲート電極16に対して自己整合で形成する。

【0045】その後、半導体基板12上に堆積された窒化シリコン膜をRIE(Reactive Ion Etching)法などの異方性エッチングで加工することによって、ゲート電極16の側壁にサイドウォールスベーザを形成し、ゲート電極16を窒化シリコン膜からなる絶縁膜18で覆う。

【0046】なお、上記サイドウォールスベーザを形成した後、周辺回路部のp型ウエル13に高濃度のn型不純物、例えば砒素(As)をイオン注入することにより、nチャネル型MISFETQSのソース領域、ドレイン領域をLDD(Lightly Doped Drain)構造としてもよい。

【0047】次に、半導体基板12上に酸化シリコン膜19および第1のBPSG(Boron-doped Phospho Silicate Glass)膜20をCVD法によって堆積した後、900~950℃のリフロー処理により上記第1のBPSG膜20の表面を平坦化する。

【0048】その後、レジストバーチャルをマスクにして第1のBPSG膜20、酸化シリコン膜19およびゲート絶縁膜15と同一層の絶縁膜を順次エッチングすることにより、メモリセル選択用MISFETの一方の後に形成されるn型半導体領域21上に第1のコンタクトホール22を形成する。

【0049】次いで、上記第1のコンタクトホール22内にPが導入された多結晶シリコン膜23からなる第1ブリグ電極を形成する。なお、この多結晶シリコン膜23に導入されたPの拡散によってメモリセル選択用MISFETの一方の後に形成されるn型半導体領域21上に第1のコンタクトホール22を形成する。

S F E T の一方の n 型半導体領域 2 1 が形成される。

【0050】次に、半導体基板 1 2 上に酸化シリコン膜 2 4 を C V D 法によって堆積する。次いで、図示はしないが、レジストパターンをマスクにして酸化シリコン膜 2 3、第 1 の B P S G 膜 2 0、酸化シリコン膜 1 9 およびゲート絶縁膜 1 5 と同一層の絶縁膜を順次エッチングすることにより、メモリセル選択用 M I S F E T の他方の後に形成される n 型半導体領域上に第 2 のコンタクトホールを形成する。この際、後に形成されるビット線を周辺回路部に延長し、周辺回路部の半導体基板 1 2 に接続するための第 2 のコンタクトホール（周辺回路部）2 5 を形成してもよい。

【0051】次いで、半導体基板 1 2 上に P が導入された多結晶シリコン膜 2 6 および W S I X 膜 2 7 を C V D 法によって順次堆積した後、レジストパターンをマスクにして W S I X 膜 2 7 および多結晶シリコン膜 2 6 を順次エッチングすることにより、W S I X 膜 2 7 および多結晶シリコン膜 2 6 からなるビット線を形成する。

【0052】また、多結晶シリコン膜 2 6 に導入された P の拡散によってメモリセル選択用 M I S F E T の他方の n 型半導体領域（図示せず）は形成され、ビット線は第 2 のコンタクトホールを通して、このメモリセル選択用 M I S F E T の他方の n 型半導体領域に接続される。この際、多結晶シリコン膜 2 6 に導入された P の拡散によって周辺回路部の p 型ウエル 1 3 にも n 型半導体領域（周辺回路部）2 8 が形成され、第 2 のコンタクトホール（周辺回路部）2 5 を通して、ビット線が上記 n 型半導体領域（周辺回路部）2 8 に接続される。

【0053】次に、半導体基板 1 2 上に酸化シリコン膜 2 9、窒化シリコン膜 3 0 および第 2 の B P S G 膜（図示せず）を C V D 法によって順次堆積した後、900～950°C のリフロー処理により上記第 2 の B P S G 膜の表面を平坦化する。

【0054】次に、半導体基板 1 2 上に P が導入された多結晶シリコン膜 3 1 を C V D 法によって堆積した後、レジストパターンをマスクにして多結晶シリコン膜 3 1 をエッチングする。次いで、半導体基板 1 2 上に C V D 法によって堆積された P が導入された多結晶シリコン膜 3 2 を R I E 法などの異方性エッチングによって加工し、上記多結晶シリコン膜 3 1 の側壁に多結晶シリコン膜 3 2 からなるゲードウォールスベーサを形成する。

【0055】次いで、レジストパターンをマスクにしてメモリセルの第 2 の B P S G 膜、窒化シリコン膜 3 0、酸化シリコン膜 2 9 および酸化シリコン膜 2 4 を順次エッチングすることにより、第 1 のコンタクトホール 2 2 内に設けられた第 1 ブラブ電極上に第 3 のコンタクトホール 3 3 を形成した後、半導体基板 1 2 上に P が導入された多結晶シリコン膜 3 4 および第 3 の B P S G 膜（図示せず）を C V D 法によって順次堆積する。

【0056】次に、レジストパターンをマスクにして上

記第 3 の B P S G 膜および多結晶シリコン膜 3 4、3 1 を順次エッチングした後、半導体基板 1 2 上に P が導入された多結晶シリコン膜 3 5 を C V D 法によって堆積する。次いで、この多結晶シリコン膜 3 5 を R I E 法などの異方性エッチングによって加工し、メモリセルの第 3 の B P S G 膜および多結晶シリコン膜 3 4、3 1 の側壁に多結晶シリコン膜 3 5 を残す。

【0057】次に、例えば、フッ酸溶液を用いたウエットエッチングによって、第 3 の B P S G 膜および第 2 の B P S G 膜を除去し、メモリセルに多結晶シリコン膜 3 1、3 2、3 4、3 5 からなる円筒型の蓄積電極を形成する。

【0058】次に、半導体基板 1 2 上に厚さ約 2 nm の窒化シリコン膜（図示せず）を C V D 法によって堆積し、続いて、厚さ約 30 nm の非晶質の酸化タンタル（T a 2 O 5 ）膜（図示せず）を C V D 法によって堆積した後、半導体基板 1 2 に熱酸化処理を施すことによって、上記 T a 2 O 5 膜を結晶化する。その後、半導体基板 1 2 上に T i N 膜 3 6 を C V D 法によって堆積し、次いで、フォトレジストをマスクにしてこの T i N 膜 3 6 をエッチングすることにより、T i N 膜 3 6 からなるブレート電極を形成する。

【0059】なお、容電絶縁膜に T a 2 O 5 膜を用いたが、その他の酸化メタル膜（例えば、（B a、S r）T i O 膜または P b（Z r、T i）O 膜）などを用いてもよく、また、上記ブレート電極に T i N 膜を用いたが、その他のメタルナイトライド膜（例えば、W N 膜）またはメタル膜（例えば、W 膜）などを用いてもよい。

【0060】次に、半導体基板 1 2 上に酸化シリコン膜 3 7 および第 4 の B P S G 膜 3 8 を C V D 法によって順次堆積した後、900～950°C のリフロー処理により上記第 4 の B P S G 膜 3 8 の表面を平坦化する。

【0061】次いで、レジストパターンをマスクにして第 4 の B P S G 膜 3 8 および酸化シリコン膜 3 7 を順次エッチングすることにより、T i N 膜 3 6 からなるブレート電極上に第 4 のコンタクトホール 3 9 a を形成し、同時に、第 4 の B P S G 膜 3 8、酸化シリコン膜 3 7 および酸化シリコン膜 2 9 を順次エッチングすることにより、W S I X 膜 2 7 および多結晶シリコン膜 2 6 からなるビット線上に第 4 のコンタクトホール 3 9 b を形成する。

【0062】さらに、同時に、第 4 の B P S G 膜 3 8、酸化シリコン膜 3 7、酸化シリコン膜 2 9、酸化シリコン膜 2 4、第 1 の B P S G 膜 2 0、酸化シリコン膜 1 9 およびゲート絶縁膜 1 5 と同一層の絶縁膜を順次エッチングすることにより、n チャネル型 M I S F E T Q 3 の n 型半導体領域 1 7 上に第 4 のコンタクトホール 3 9 c を形成する。

【0063】次に、半導体基板 1 2 上に金属膜（図示せず）を堆積した後、レジストパターンをマスクにして上

記金屬膜をエッチングすることにより、第1層目のメタル配線M1が形成される。次いで、半導体基板1-2上にE.C.R.(Electron Cyclotron Resonance:電子サイクロトロン共鳴)プラズマC.V.D法によって酸化シリコン膜を堆積した後、この酸化シリコン膜の表面を本実施の形態である前記C.M.P装置P1を用いて研磨することによって、その表面が平坦化された酸化シリコン膜によって構成される第1の層間絶縁膜4-0を設ける。

【0064】次に、レジストパターンをマスクにして上記第1の層間絶縁膜4-0をエッチングすることにより、第1層目のメタル配線M1に達するスルーホール4-1を形成した後、半導体基板1-2上に金属膜(図示せず)を堆積し、次いで、この金属膜をレジストパターンをマスクにしてエッチングすることにより、第2層目のメタル配線M2を形成する。

【0065】ここで、第1の層間絶縁膜4-0の表面が平坦化されているので、第2層目のメタル配線M2を形成する際のフォトリソグラフィ工程において、マスクパターン転写における焦点深度に余裕が生じ、高解像度のレジストパターンが形成される。これによって、レジストパターンをマスクとして加工、形成される第2層目のメタル配線M2の欠損または隣接する第2層目のメタル配線M2間の接触を防ぐことができる。

【0066】さらに、上記第1の層間絶縁膜4-0と同様に、半導体基板1-2上にE.C.R.プラズマC.V.D法によって酸化シリコン膜を堆積した後、この酸化シリコン膜の表面を本実施の形態である前記C.M.P装置P1を用いて研磨することによって、その表面が平坦化された酸化シリコン膜によって構成される第2の層間絶縁膜4-2を設ける。

【0067】次に、レジストパターンをマスクにして上記第2の層間絶縁膜4-2をエッチングすることにより、第2層目のメタル配線M2に達するスルーホール4-2を形成した後、半導体基板1-2上に金属膜(図示せず)を堆積し、次いで、この金属膜をレジストパターンをマスクにしてエッチングすることにより、第3層目のメタル配線M3を形成する。

【0068】最後に、半導体基板1-2の表面をバッジーション(図示せず)で被覆することにより、本実施の形態のC.M.P装置P1を用いて加工された第1の層間絶縁膜4-0および第2の層間絶縁膜4-2を有するDRAMが完成する。

【0069】このように、本実施の形態では、研磨パッド4の寿命が、従来の同時ドレッシングを採用した研磨パッドの寿命の約40倍以上、また、従来の間欠ドレッシングを採用した研磨パッドの寿命の約16倍以上長くなり、例えば、従来の同時ドレッシングでは4~5時間毎に必要があった研磨パッドの交換を週に1度の頻度とすることができます。さらに、第2のドレッサ6のブラシ7を研磨パッド4の表面の芝めを立たせる方向に慣動さ

せることによって、研磨パッド4の表面の倒れた芝めを立たせて、比較的容易に元の荒い芝めに復元することができる、研磨速度を安定化することができる。さらに、研磨パッド4に対する第1のドレッサ5の押圧力を低下させる必要がないので、研磨パッド4の表面の平坦度が確保できて、半導体ウェハ1上の被研磨膜の全面を均一に研磨することができる。

【0070】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0071】

【発明の効果】本発明によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0072】本発明によれば、ブラシによって構成された第2のトレッサによるドレッシングによって、研磨パッドの表面を切削することなく、比較的容易に研磨パッドの表面の芝めを荒い芝めに復元することができる。研磨パッドの寿命を大幅に長くできると同時に、半導体ウェハ上の被研磨膜の表面の研磨速度を安定化することができ、さらに、ダイヤモンド粒子を埋め込んだ第1のドレッサの研磨パッドに対する押圧力を低下させる必要がないので、研磨パッドの表面の平坦度が確保できて、半導体ウェハ上の被研磨膜の全面を均一に研磨することができる。

【0073】また、本発明によれば、研磨パッドの寿命が長くなるので、半導体製造装置としての生産能力、稼働率が大幅に向上し、また、高価な研磨パッドの消費量が減少する。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるC.M.P装置の模式図であり、(a)は上面図、(b)は要部側面図である。

【図2】本発明の一実施の形態であるドレッシング、従来の同時ドレッシングまたは従来の間欠ドレッシングをそれぞれ採用した研磨パッドを有するC.M.P装置を用いて、半導体ウェハ上の酸化シリコン膜の表面を研磨した際の酸化シリコン膜の研磨速度の経時変化を示すグラフ図である。

【図3】本発明の一実施の形態であるドレッシング、従来の同時ドレッシングまたは従来の間欠ドレッシングをそれぞれ採用した研磨パッドを有するC.M.P装置を用いて、半導体ウェハ上の酸化シリコン膜の表面を研磨した際の研磨パッドの厚さの経時変化を示すグラフ図である。

【図4】本発明の一実施の形態であるドレッシングを採用した研磨パッドを有するC.M.P装置を用いて平坦化される層間絶縁膜を有するDRAMを示す半導体基板の要

部断面図である。

【図5】従来のCMP装置の要部側面の模式図である。

【図6】(a)～(f)はそれぞれ従来のドレッシングを採用した研磨パッドを有するCMP装置を用いて平坦化される絶縁膜または金属膜を有する半導体基板の要部断面図である。

【図7】従来のドレッシングを採用した研磨パッドを有するCMP装置を用いて研磨された半導体ウエハ上の被研磨膜の研磨速度と研磨パッドの荒さの経時変化を示すグラフ図である。

【図8】従来の研磨パッドのドレッシング方法を説明するための概略図である。

【図9】従来の研磨パッドのドレッシング方法を説明するための概略図である。

【符号の説明】

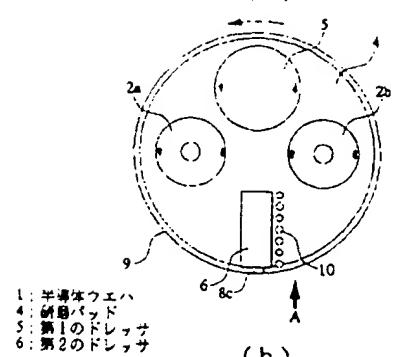
- 1 半導体ウエハ
- 2 a 加圧ヘッド
- 2 b 加圧ヘッド
- 3 研磨定盤
- 4 研磨パッド
- 5 第1のドレッサ
- 6 第2のドレッサ
- 7 ブラシ
- 8 a 齧車
- 8 b 齧車
- 8 c 齧車
- 9 ギア
- 10 供給ノズル
- 11 研磨砥粒溶液
- 12 半導体基板
- 13 p型ウエル
- 14 フィールド絶縁膜
- 15 ゲート絶縁膜
- 16 ゲート電極
- 17 n型半導体領域(ソース領域、ドレイン領域)
- 18 絶縁膜
- 19 酸化シリコン膜
- 20 第1のBPSG膜
- 21 n型半導体領域
- 22 第1のコンタクトホール
- 23 多結晶シリコン膜
- 24 酸化シリコン膜
- 25 第2のコンタクトホール(周辺回路部)
- 26 多結晶シリコン膜

- 27 タングステンシリサイド膜
- 28 n型半導体領域(周辺回路部)
- 29 酸化シリコン膜
- 30 窒化シリコン膜
- 31 多結晶シリコン膜
- 32 多結晶シリコン膜
- 33 第3のコンタクトホール
- 34 多結晶シリコン膜
- 35 多結晶シリコン膜
- 36 窒化チタン膜
- 37 酸化シリコン膜
- 38 第4のBPSG膜
- 39 a 第4のコンタクトホール
- 39 b 第4のコンタクトホール
- 39 c 第4のコンタクトホール
- 40 第1の層間絶縁膜
- 41 スルーホール
- 42 第2の層間絶縁膜
- 43 スルーホール
- 51 半導体ウエハ
- 52 剛性板
- 53 加圧用パッド
- 54 通気孔
- 55 通気孔
- 56 加圧ヘッド
- 57 研磨パッド
- 58 研磨定盤
- 59 ストッパ
- 60 半導体基板
- 61 第1層目の配線
- 62 層間絶縁膜
- 63 スルーホール
- 64 金属膜
- 65 第2層目の配線
- 66 大型のドレッサ
- 67 アーム機構
- 68 小型のドレッサ
- P1 本発明の実施の形態のCMP装置
- P2 従来のCMP装置
- QS nチャネル型MISFET
- M1 第1層目のメタル配線
- M2 第2層目のメタル配線
- M3 第3層目のメタル配線

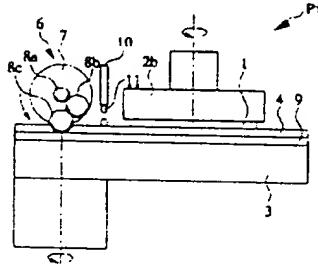
【図1】

図1

(a)

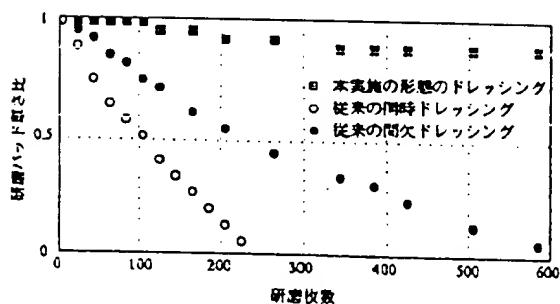


(b)



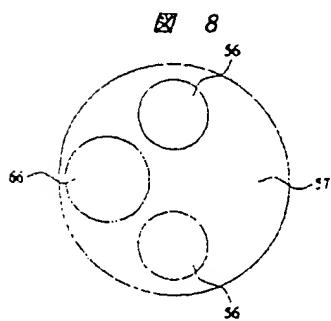
【図3】

図3



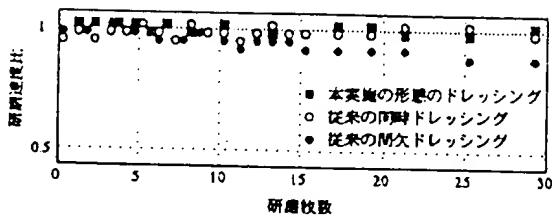
【図8】

図8



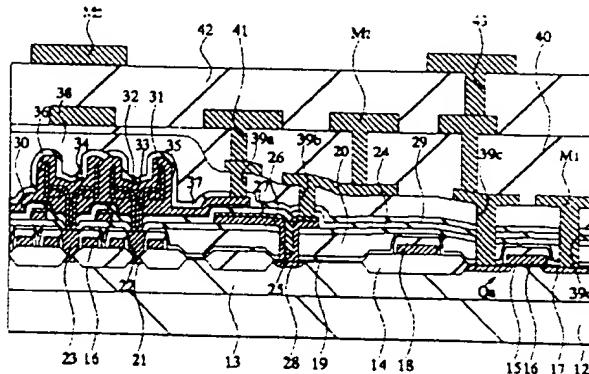
【図2】

図2



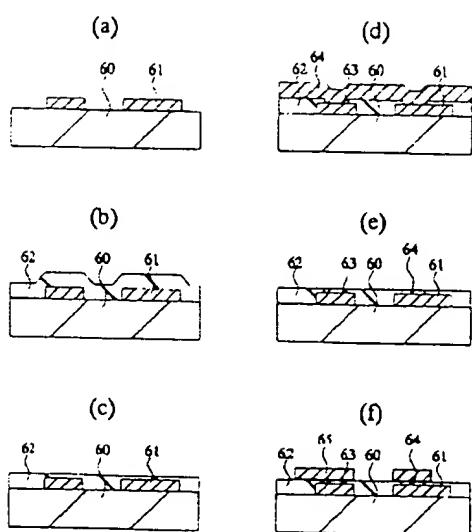
【図4】

図4



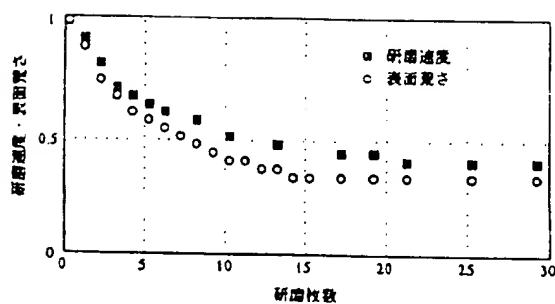
【図6】

図6



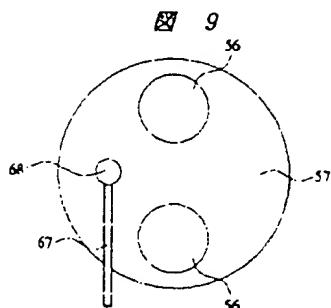
【図7】

図7



【図9】

図9



フロントページの続き

(72)発明者 根津 広樹

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 奥谷 謙

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内